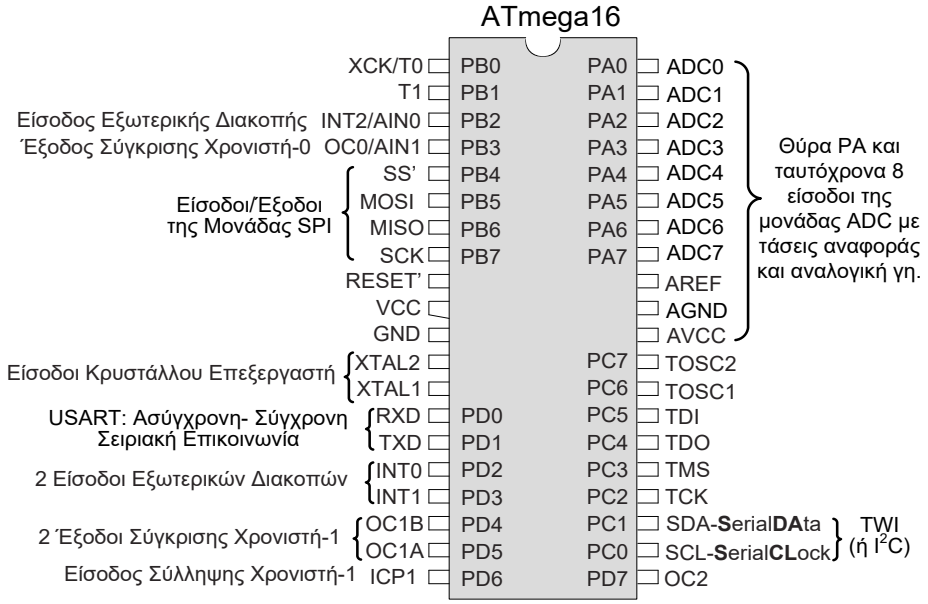
# ΚΕΦΑΛΑΙΟ 2

# Περιφερειακά Μικροελεγκτών AVR

Οι Μικροελεγκτές AVR διαθέτουν πλήθος περιφερειακών μονάδων. Το πλήθος και η ποικιλία τους εξαρτάται από τον ειδικότερο τύπο του μικροελεγκτή. Τα περιφερειακά αυτά είναι:

- Μονάδα UART
- Χρονιστές (Timer 0, Timer 1, Timer 2) και Επιτήρησης (Watchdog Timer)
- Μονάδα EEPROM και Μονάδα SPI
- Μονάδα Αναλογικού Συγκριτή
- Μονάδα Two-wire Serial Interface
- Μονάδα ADC (Analog to Digital Converter)




**Σχήμα 2.1** Ακροδέκτες περιφερειακών ATmega16

Οι ακροδέκτες που αντιστοιχούν στις εισόδους/εξόδους των περιφερειακών αυτών φαίνονται στο σχήμα 2.1 και αφορά στην οικογένεια Mega των Μικροελεγκτών AVR που περιλαμβάνει όλη την ποικιλία των περιφερειακών και διαθέτει αρκετά μεγάλη διαθέσιμη on chip μνήμη προγράμματος και δεδομένων. Στη συνέχεια θα γίνει παρουσίαση αυτών των μονάδων με παραδείγματα πρακτικών εφαρμογών.

**Πίνακας 2.1** Θύρες-καταχωρητές των μικροελεγκτών AVR

| **Μονάδα** | **Καταχωρητής** | **Σύμβολο** |
|---|---|---|
| **Timer 0** | Timer/Counter 0 Control Register | TCCR0 |
| | Timer/Counter 0 | TCNT0 |
| **Timer 1** | Timer/Counter Control Register1A | TCCR1A |
| | Timer/Counter Control Register1B | TCCR1B |
| | Timer/Counter 1 | TCNT1 |
| | Output Compare Register 1 A | OCR1A |
| | Output Compare Register 1 B | OCR1B |
| | Input Capture Register | ICR1L - H |
| **Timer 2** | Timer/Counter2 (8 Bits) | TCNT2 |
| | Timer/Counter Control Register | TCCR2 |
| | Timer/Counter2 Output Compare Register | OCR2 |
| | Asynchronous Status Register | ASSR |
| **Watchdog Timer** | Watchdog Timer Control Register | WDTCR |
| **UART** | UART Data Register | UDR |
| | UART Status Register | USR |
| | UART Control Register | UCR |
| | UART Baud Rate Register | UBRR |
| **EEPROM** | EEPROM Adress Register | EEAR |
| | EEPROM Data Register | EEDR |
| | EEPROM Control Register | EECR |
| **SPI** | Serial Peripheral Control Register | SPCR |
| | Serial Peripheral Status Register | SPSR |
| | Serial Peripheral Data Register | SPDR |
| **Analog Comparator** | Analog Comparator Control and Status Register | ACSR |
| **Two-wire Serial ($I^2C$) Interface TWI** | TWI Data Register | TWDR |
| | TWI T Address Register | TWAR |
| | TWI Bit Rate Register | TWBR |
| | TWI Control Register | TWCR |
| | TWI Status Register | TWSR |
| **ADC** | Πολυπλέκτης επιλογής 8 γραμμών εισόδου ADC Multiplexer Selection Register | ADCMUX |
| | ADC Control and Status Register A | ADCSRA |
| | ADC Data Register (high and low) | ADCH - L |

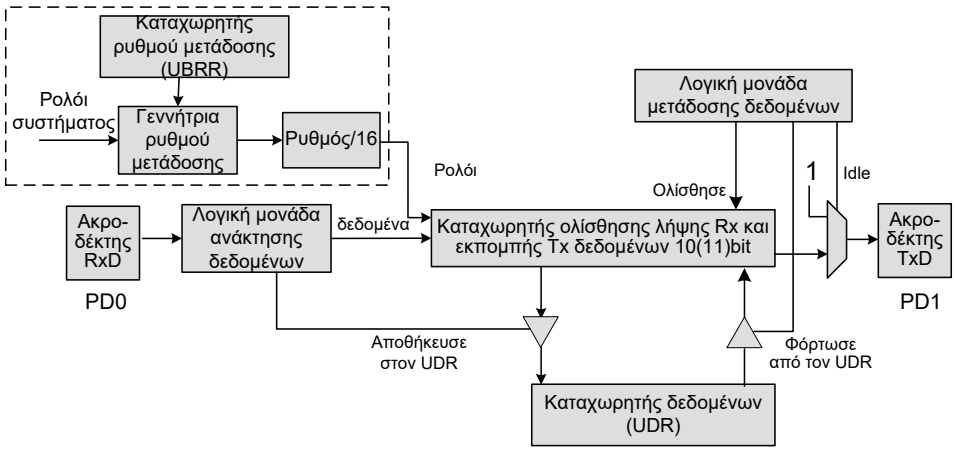
## 2.1 Μονάδα ασύγχρονης σειριακής επικοινωνίας UART

Η μονάδα UART είναι ένα ισχυρό και χρήσιμο περιφερειακό. Χρησιμοποιείται για αποστολή και λήψη δεδομένων από ένα PC, για αποσφαλμάτωση κώδικα, για επικοινωνία με τον χρήστη, κλπ.

Η μονάδα UART μπορεί να μεταδώσει τους εξής 30 συνδυασμούς πλαισίου:

- 1 bit εκκίνησης
- 5, 6, 7, 8 ή 9 bits
- ένα ή δύο bit λήξης
- καμία, άρτια ή περιττή ισοτιμία.

Φιλτράρει τα ληφθέντα δεδομένα και ανιχνεύει σφάλματα πλαισίου και υπέρβασης. Διαθέτει τρία σήματα διακοπών και επιτρέπει μεγάλη ροή δεδομένων με απομονωτές υλοποιημένους από λογισμικό. Διαθέτει πομπό και δέκτη οι οποίοι μοιράζονται τη γεννήτρια του ρυθμού μετάδοσης και τους καταχωρητές ελέγχου. Η βασική δομή φαίνεται στο σχήμα 2.2:

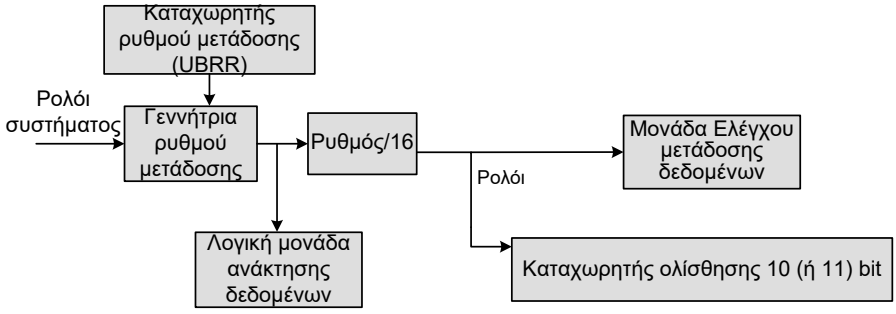



**Σχήμα 2.2** Μονάδα UART

### Γεννήτρια ρυθμού μετάδοσης

Η γεννήτρια ρυθμού μετάδοσης καθορίζει το σήμα ρολογιού που χρησιμοποιείται για μετάδοση και λήψη δεδομένων μέσω της UART. Το σήμα αυτό διαβαθμίζεται με μεγάλη ακρίβεια, με αποτέλεσμα μια σχεδόν αλάνθαστη μεταφορά δεδομένων. Όπως φαίνεται στο σχήμα 2.3, ο ρυθμός μετάδοσης διαιρείται με το 16 προτού τροφοδοτήσει τους καταχωρητές ολίσθησης εκπομπής και λήψης Rx/Tx. Διότι, το σήμα ρολογιού που παράγεται από τη γεννήτρια είναι 16πλάσιο του επιθυμητού ρυθμού μετάδοσης δεδομένων. Έτσι επιτυγχάνουμε δειγματοληψία με συχνότητα 16 φορές μεγαλύτερη από τον ρυθμό μετάδοσης. Επιπλέον το σήμα τροφοδοτεί το λογικό κύκλωμα ανάκτησης δεδομένων (Data Recovery Logic), το οποίο δειγματοληπτεί τα δεδομένα. Για κάθε bit λαμβάνονται 16 συνολικά δείγματα, από τα οποία ελέγχονται

το 8ο, 9ο και 10ο δείγμα. Το λογικό επίπεδο δύο τουλάχιστον δειγμάτων (από τα παραπάνω τρία) θεωρείται το πραγματικό λογικό επίπεδο του bit. Μετά τη δειγματοληψία, όλα τα bits του δειγματοληφθέντος δεδομένου ολισθαίνουν στον καταχωρητή ολίσθησης λήψης. Από την άλλη πλευρά, ο καταχωρητής ολίσθησης εκπομπής δεν απαιτεί δειγματοληψία και συνδέεται απευθείας με το σήμα χρονισμού μετάδοσης.



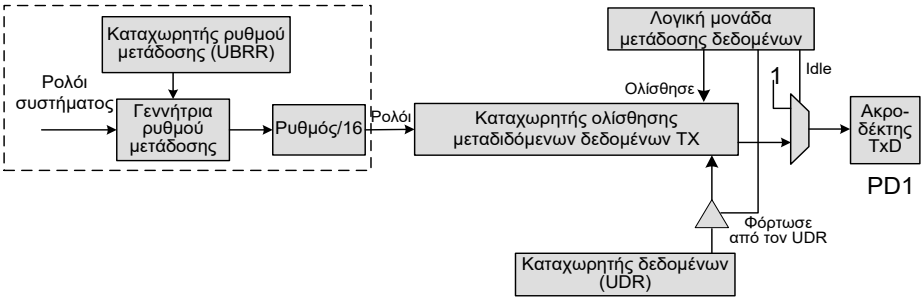

**Σχήμα 2.3** Γεννήτρια ρυθμού μετάδοσης

## Πομπός UART

Ο πομπός UART στέλνει δεδομένα από τον μικροελεγκτή σε διάφορες συσκευές (data logger, PC, κλπ) στον επιθυμητό ρυθμό μετάδοσης.

Η εκπομπή αρχικοποιείται εγγράφοντας δεδομένα στον καταχωρητή UDR. Έπειτα, τα δεδομένα μεταφέρονται στον καταχωρητή ολίσθησης εκπομπής TX εφόσον το προηγούμενο byte έχει ολισθήσει πλήρως.

Όταν ένα byte μεταφέρεται στον καταχωρητή ολίσθησης εκπομπής TX, η σημαία UDRE τίθεται. Η ρουτίνα εξυπηρέτησης διακοπής UDRE ISR μπορεί να γράψει το επόμενο byte στον καταχωρητή UDR χωρίς να αλλοιώσει την παρούσα διαδικασία εκπομπής.

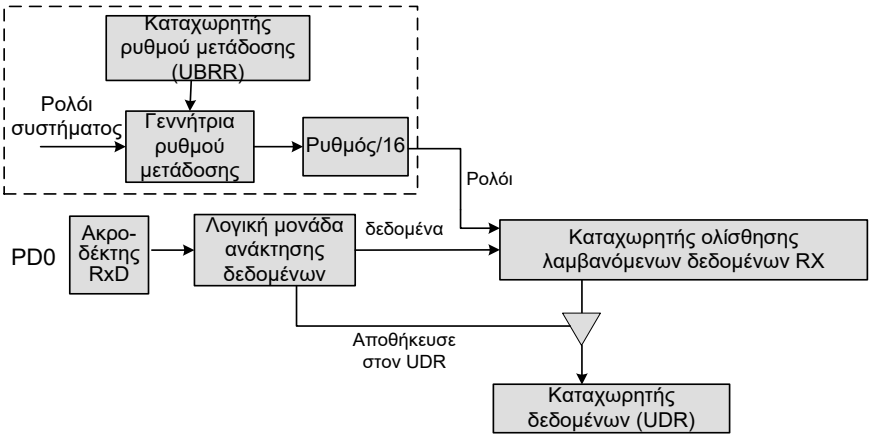



**Σχήμα 2.4** Πομπός UART

Όταν ένα byte έχει ολισθήσει πλήρως και δεν έχουν γραφτεί δεδομένα στον καταχωρητή UDR από τη ρουτίνα εξυπηρέτησης διακοπής UDRE ISR, τότε η σημαία TXC τίθεται.

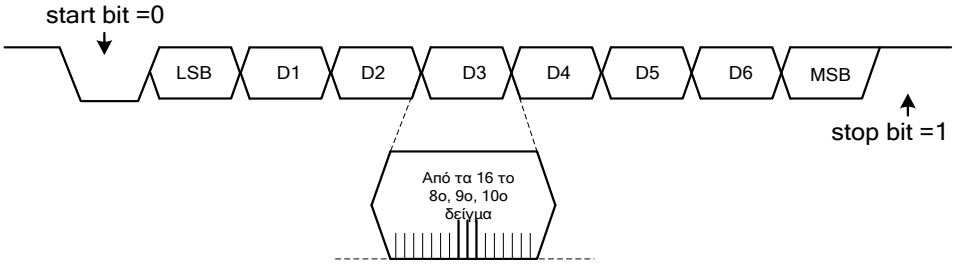
### Ο Δέκτης UART

Ο δέκτης UART έχει παρόμοια δομή με τον πομπό, αλλά επιπλέον διαθέτει τα απαραίτητα κυκλώματα για λήψη δεδομένων: το λογικό κύκλωμα ανάκτησης δεδομένων και μία διακοπή για την ολοκλήρωση της λήψης δεδομένου. Χρησιμοποιεί τις ίδιες ρυθμίσεις για το baudrate όπως ο πομπός.




**Σχήμα 2.5** Δέκτης UART

Το δεδομένο δειγματοληπτείται με τον τρόπο που περιγράψαμε στην ενότητα της γεννήτριας ρυθμού μετάδοσης και φαίνεται στο σχήμα 2.6.




**Σχήμα 2.6** Δειγματοληψία δεδομένου

Διακρίνουμε τις μικρές κάθετες γραμμές που αντιστοιχούν στους παλμούς ρολογιού που παράγει η γεννήτρια ρυθμού μετάδοσης. Οι τρεις ψηλότερες αντιστοιχούν στο $8^{ο}$, $9^{ο}$ και $10^{ο}$ δείγμα. Συνεπώς, ο ρυθμός μετάδοσης αρχικά είναι 16πλάσιος ώστε να δειγματοληπτήσει τα δεδομένα, και έπειτα διαιρείται με το 16 για να ολισθήσει τα δεδομένα.

**Καταχωρητής δεδομένων της ασύγχρονης σειριακής μονάδας UART (UDR)**

Από το σχήμα φαίνεται ότι πομπός και δέκτης μοιράζονται τον καταχωρητή δεδομένων UDR. Στην πραγματικότητα όμως πρόκειται για δυο διαφορετικούς

καταχωρητές που έχουν κοινή φυσική διεύθυνση $0C. Ο ένας είναι ο καταχωρητής δεδομένων εκπομπής όπου μεταφέρονται τα δεδομένα που γράφουμε στη διεύθυνση $0C. Ο άλλος είναι ο καταχωρητής δεδομένων λήψης όπου μεταφέρονται τα δεδομένα που διαβάζουμε από τη διεύθυνση $0C.

**Καταχωρητής κατάστασης της ασύγχρονης σειριακής μονάδας UART(USR) USART Control and Status Register A – UCSRA**

| **Bits** | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| **ελέγχου** | RXC | TXC | UDRE | FE | DOR | PE | U2X | MPCM |

Ο ρόλος του UART Status Register είναι η παρακολούθηση της θύρας αυτής. Διατηρεί τις σημαίες κατάστασης, όπως σημαίες διακοπών, σφάλματα υπέρβασης και πλαισίου. Η σημασία των bits ελέγχου φαίνεται στον πίνακα 2.2.

**Πίνακας 2.2** Καταχωρητής κατάστασης της UART (UCSRA)

| **Bit** | **Σύμβολο** | **Σημασία** | **Λειτουργία** |
|---|---|---|---|
| 7 | **RXC** | **USART Receive Complete:** Ολοκλήρωση διαδικασίας λήψης ενός byte δεδομένων. Μόλις διαβαστεί ο UDR η σημαία RXC μηδενίζεται. Μπορεί να προκαλέσει αντίστοιχη διακοπή βλ. RXCIE bit του καταχωρητή **UCSRB** | 1: Λήψη χαρακτήρα |
| 6 | **TXC** | **USART Transmit Complete:** Ολοκλήρωση διαδικασίας εκπομπής ενός byte δεδομένων. Μπορεί να προκαλέσει αντίστοιχη διακοπή βλ. TXCIE bit του καταχωρητή **UCSRB.** Η σημαία TXC μηδενίζεται όταν εκτελεστεί η ρουτίνα εξυπηρέτησης διακοπής ή γράφοντας 1 στην αντίστοιχη θέση. | 1: Άδειασμα καταχωρητή ολίσθησης |
| 5 | **UDRE** | **USART Data Register Empty:** Σημαία που δηλώνει ότι ο καταχωρητής UDR είναι έτοιμος να δεχθεί νέα δεδομένα. Μπορεί να προκαλέσει αντίστοιχη διακοπή βλ. UDRIE bit του καταχωρητή **UCSRB.** | 1: Διαθέσιμος καταχωρητής δεδομένων |
| 4 | **FE** | **Frame Error:** Το εισερχόμενο bit σήμανσης τέλους (stop bit) είναι ‘1’ αντί ‘0’. Ισχύει μέχρι να διαβαστεί ο καταχωρητής UDR. Πρέπει να αρχικοποιείται στο 0. | 1: Σφάλμα πλαισίου |
| 3 | **DOR** | **Data OverRun:** Ο καταχωρητής ολίσθησης εισάγει νέα δεδομένα ενώ τα προηγούμενα έγκυρα δεδομένα του UDR δεν έχουν διαβαστεί ακόμα. | 1: Σφάλμα υπέρβασης |
| 2 | **Parity Error** | Αν ο έλεγχος ισοτιμίας είναι ενεργοποιημένος UPM1=1 και είναι 1 δηλώνει αντίστοιχο σφάλμα. Ισχύει μέχρι να διαβαστεί ο καταχωρητής UDR. Πρέπει να αρχικοποιείται στο 0. | 1: Σφάλμα ισοτιμίας |

| | | | |
|---|---|---|---|
| 1 | **U2X** | **Double the USART Transmission Speed:**<br>Στην ασύγχρονη επικοινωνία (και μόνο) αντί με το 16 γίνεται διαίρεση με το 8. | 1: Διπλασιασμός baud rate. |
| 0 | **MPCM** | **Multi-processor Communication Mode :**<br>Ο δέκτης αγνοεί όσα δεδομένα δεν έχουν διεύθυνση. | |

**Καταχωρητής ελέγχου της ασύγχρονης σειριακής μονάδας UART UCSRB (USART Control and Status Register B )**

| **Bits** | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| **ελέγχου** | RXCIE | TXCIE | UDRIE | RXEN | TXEN | CHR9 | RXB8 | TXB8 |

Ο καταχωρητής αυτός ελέγχει τον πομπό, το δέκτη και χειρίζεται τις διακοπές.

**Πίνακας 2.3** Καταχωρητής ελέγχου της UART (UCSRB)

| **Bit** | **Σύμβολο** | **Σημασία** | **Λειτουργία** |
|---|---|---|---|
| 7 | **RXCIE** | **RX Complete Interrupt Enable:**<br>Ενεργοποίηση διακοπής μετά τη λήψη χαρακτήρα. Προϋπόθεση αποτελεί να έχουν τεθεί οι διακοπές και το bit RXC του **UCSRA**. | 1: Διακοπή μετά τη λήψη χαρακτήρα |
| 6 | **TXCIE** | **TX Complete Interrupt Enable:**<br>Ενεργοποίηση διακοπής μετά την εκπομπή χαρακτήρα. Προϋπόθεση αποτελεί να έχουν τεθεί οι διακοπές και το bit TXC του **UCSRA**. | 1: Διακοπή μετά την εκπομπή χαρακτήρα |
| 5 | **UDRIE** | **USART Data Register Empty Interrupt Enable:**<br>Ενεργοποίηση διακοπής κατά το άδειασμα του κατ/τή UDR. Προϋπόθεση αποτελεί να έχουν τεθεί οι διακοπές και το bit UDRE του **UCSRA**. | 1: Διακοπή κατά το άδειασμα του UDR |
| 4 | **RXEN** | **Receiver Enable:**<br>Ενεργοποίηση του τμήματος λήψης της μονάδας UART. | 1: Ενεργοποίηση του δέκτη |
| 3 | **TXEN** | **Transmitter Enable:**<br>Ενεργοποίηση του τμήματος εκπομπής της μονάδας UART. | 1: Ενεργοποίηση του πομπού |
| **2** | **UCSZ2** | **Character Size:**<br>Το UCSZ2 bit συνδυασμένο με τα UCSZ1:0 bits του UCSRC καθορίζουν το μήκος των χαρακτήρων εκπομπής – λήψης να είναι από 9 έως 5 bit, χωρίς τα bit έναρξης και λήξης (start & stop bit). | 1: Χαρακτήρες των 9-bit |
| **1** | **RXB8** | **Receive Data Bit 8:**<br>Το RXB8 είναι το ένατο bit των ληφθέντων δεδομένων, για μήκος 9 χαρακτήρων λήψης. Πρέπει να διαβάζεται πριν τα LSB.του UDR. | 1: Λήψη ένατου bit (bit8) |
| **0** | **TXB8** | **Transmit Data Bit 8:**<br>Το TXB8 είναι το ένατο bit των σταλθέντων δεδομένων, για μήκος 9 χαρακτήρων εκπομπής. Πρέπει να γράφεται πριν τα LSB.του UDR. | 1: Εκπομπή ένατου bit (bit8) |

**Καταχωρητής ελέγχου της ασύγχρονης σειριακής μονάδας UART UCSRC (USART Control and Status Register C )**

| **Bits** | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| **ελέγχου** | URSEL | UMSEL | UPM1 | UPM0 | USBS | UCSZ1 | UCSZ0 | UCPOL |

Ο Καταχωρητής UCSRC μοιράζεται την ίδια θέση I/O με τον Καταχωρητής UBRRH.

**Πίνακας 2.4** Καταχωρητής ελέγχου της UART (UCSRC)

| **Bit** | **Σύμβολο** | **Σημασία** | **Λειτουργία** |
|---|---|---|---|
| 7 | **URSEL** | **Register Select**<br>Το bit αυτό επιλέγει την πρόσβαση μεταξύ του καταχωρητή UCSRC ή του UBRRH. Διαβάζεται ως 1 όταν γίνεται ανάγνωση του UCSRC. Το bit URSEL πρέπει να είναι 1 όταν γίνεται εγγραφή στον UCSRC. | 1: Επιλέγει UCSRC |
| 6 | **UMSEL** | **USART Mode Select**<br>Το bit αυτό επιλέγει μεταξύ της ασύγχρονης ή της σύγχρονης λειτουργίας. | 1: Σύγχρονη λειτουργία<br>0: Ασύγχρονη λειτουργία |
| 5-4 | **UPM1:0** | **Parity Mode**<br>Τα bits αυτά ενεργοποιούν τον τύπο της παραγωγής και του ελέγχου ισοτιμίας. Όταν ενεργοποιείται, ο πομπός αυτόματα παράγει και στέλνει το bit ισοτιμίας των δεδομένων που μεταδίδονται. Ο πομπός παράγει το bit ισοτιμίας των λαμβανομένων δεδομένων και το συγκρίνει με το αντίστοιχο λαμβανόμενο. Αν υπάρχει διαφορά η σημαία PE του UCSRA τίθεται. | 00: Απενεργοποιημένο<br>01: Φυλάσσεται<br>10: Άρτια Ισοτιμία<br>11: Περιττή Ισοτιμία |
| 3 | **USBS** | **Stop Bit Select**<br>Το bit αυτό επιλέγει τον αριθμό των Stop Bits που εισάγονται από τον πομπό. Ο δέκτης παραλείπει τα bits αυτά. | 0: 1 stop bit<br>1: 2 stop bit |
| **2-1** | **UCSZ1:0** | **Character Size**<br>Τα bits UCSZ1:0 σε συνδυασμό με τα bit UCSZ2 του UCSRB θέτει τον αριθμό των bit στα δεδομένα (Character Size) που ανταλλάσσουν πομπός και δέκτης. | βλ. Πίνακα 2.5 |
| **0** | **UCPOL** | **Clock Polarity**<br>Το bit αυτό χρησιμοποιείται μόνο στον σύγχρονο τρόπο λειτουργίας. Εγγράφουμε 0 στο bit αυτό όταν χρησιμοποιείται ασύγχρονος τρόπος λειτουργίας. Το bit UCPOL θέτει τη σχέση της αλλαγής του δεδομένου εξόδου και του δείγματος του δεδομένου εισόδου με το σύγχρονο ρολόι (XCK). | βλ. Πίνακα 2.6 |

**Πίνακας 2.5** Καθορισμός Bit UCPOL

| **UCPOL** | **Transmitted Data Changed (Output of TxD Pin)** | **Received Data Sampled (Input on RxD Pin)** |
|---|---|---|
| 0 | Ανερχόμενη ακμή XCK | Κατερχόμενη ακμή XCK |
| 1 | Κατερχόμενη ακμή XCK | Ανερχόμενη ακμή XCK |

**Πίνακας 2.6** Καθορισμός Bits πεδίου UCSZ

| UCSZ2 – 1 - 0 | Character Size |
|---|---|
| 0 0 0 | 5-bit |
| 0 0 1 | 6-bit |
| 0 1 0 | 7-bit |
| 0 1 1 | 8-bit |
| 1 0 0 | Reserved |
| 1 0 1 | Reserved |
| 1 1 0 | Reserved |
| 1 1 1 | 9-bit |

## Καταχωρητής του ρυθμού μετάδοσης της μονάδας UART (USART Baud Rate Registers –UBRR)

Η μονάδα UART περιέχει τη γεννήτρια παραγωγής του ρυθμού μετάδοσης δεδομένων (baud rate generator). Ο καταχωρητής UBRR καθορίζει την τιμή του ρυθμού μετάδοσης που παράγει η γεννήτρια σύμφωνα με τον τύπο:

baud =Fck/{16*(UBRR+1)}

όπου Fck η συχνότητα του ρολογιού και UBRR το περιεχόμενο του αντίστοιχου καταχωρητή (βλ. Πίνακα 2.7).

**Πίνακας 2.7** Καταχωρητής του ρυθμού μετάδοσης της μονάδας UART (UBRR)

| Bit | Σύμβολο | Σημασία |
|---|---|---|
| 15 | **URSEL** | **Register Select**<br>Το bit αυτό επιλέγει την πρόσβαση μεταξύ του καταχωρητή UCSRC ή του UBRRH. Διαβάζεται ως 1 όταν γίνεται ανάγνωση του UCSRC. Το bit URSEL πρέπει να είναι 0 όταν γίνεται εγγραφή στον UBRR. |
| 14-12 | **Reserved Bits** | Τα bits αυτά φυλάσσονται για μελλοντική χρήση. Για λόγους συμβατότητας με μελλοντικά περιφερειακά τα bit αυτά πρέπει να είναι μηδενικά όταν γίνεται εγγραφή στον UBRRH. |
| 11 - 0 | **UBRR11:0 (UBRRH 11:8 UBRRL 7:0)** | **USART Baud Rate Register**<br>This is a 12-bit register which contains the USART baud rate. Ο καταχωρητής UBRRH περιλαμβάνει τα 4 MSB, και ο UBRRL περιλαμβάνει τα 8 LSB του ρυθμού λειτουργίας (baud rate) της USART. Εγγραφή στον UBRRL άμεσα ανανεώνει το ρυθμό και δεν πρέπει να γίνεται όταν είναι μετάδοση σε εξέλιξη. |

Σε γρήγορους AVRs (megas) πρόκειται για ένα 16-bit καταχωρητή που επιτρέπει χαμηλούς ρυθμούς μετάδοσης σε γρήγορους επεξεργαστές.

**Παράδειγμα:** Η συχνότητα ρολογιού του συστήματος είναι 4 MHz και επιθυμούμε ρυθμό στα 9600 bits/sec. Επιλύοντας ως προς την τιμή του καταχωρητή UBRR (και αντικαθιστώντας Fck=4 MHz και baud=9600):

$$UBRR = \{Fck/(16*baud)\} -1$$

παίρνουμε την τιμή UBRR =25,041667. Στρογγυλοποιούμε στην τιμή 25 που αντιστοιχεί σε 9615 baud, εισάγοντας ένα σφάλμα 0.16%. (Σημείωση: για το λόγο αυτό, οι κρύσταλλοι έχουν περίεργες συχνότητες, όπως 7.3728 MHz. Με αυτή την συχνότητα παίρνουμε UBRR = 47 και ακριβώς 9600 baudrate ).

**Παράδειγμα 2.1:** Το παρακάτω παράδειγμα αρχικοποιεί, στέλνει και λαμβάνει δεδομένα των 8-bit από την USART με τη μέθοδο polling.

```
.include "m16def.inc"          ; δήλωση μικροελεγκτή atmega16
.def reg = r18                 ; προσωρινός καταχωρητής
.def char = r19

    ldi reg, LOW(RAMEND)       ; αρχικοποίηση στοίβας
    out SPL, reg
    ldi reg, HIGH(RAMEND)
    out SPH, reg
    ldi reg,0xFF
    out DDRB, reg              ; ορισμός portB ως έξοδος
    rcall USART_Init
LOOP:
    rcall USART_Receive
    rcall USART_Transmit
    com char                   ; Απεικονίζεται ο ίδιος ASCII χαρακτήρας μέσω της
    out PORTB,char             ; θύρας PORTB σε led εξόδου (αρνητική λογική).
rjmp LOOP

USART_Init:
    ldi reg,0x00               ; Αρχικοποίηση της σειριακής
    out UCSRA, reg             ; Ενεργοποίηση πομπού και δέκτη
    ldi reg,(1<<RXEN)|(1<<TXEN)
; ισοδύναμα ldi reg,0x18 (=0001 1000 δηλαδή RXEN=TXEN=1)
    out UCSRB,reg              ; Ορίζουμε πλαίσιο 8-bit δεδομένων και 1 bit λήξης
    ldi reg,(1<<URSEL)|(0<<USBS)|(3<<UCSZ0)
 ; ισοδύναμα LDI reg,0x86 =1000 0110
    out UCSRC,reg              ; δηλαδή URSEL =1, USBS=0, UCSZ1=UCSZ0=1
    ldi reg,0x00               ; ορισμός Baud Rate (UBRR=25)
    out UBRRH,reg              ; Για Baud rate 9600 και 4MHz τιμή για UBRR=
    ldi reg,0x19               ; =4000000/(9600*16)-1=25 με σφάλμα=0,2%
```