

Περιεχόμενα

Πρόλογος	XI
-----------------------	-----------

Κεφάλαιο 1. Συστήματα Βασισμένα σε FPGA	1
--	----------

1.1 Εισαγωγή	1
1.2 Βασικές Αρχές.....	1
1.2.1 Boolean Άλγεβρα	1
1.2.2 Σχηματικά και Λογικά Σύμβολα	6
1.3 Ψηφιακή Σχεδίαση και FPGAs	8
1.3.1 Ο Ρόλος των FPGAs	8
1.3.2 Τύποι των FPGAs	10
1.3.3 FPGAs έναντι Εξατομικευμένης VLSI Λογικής.....	12
1.4 Σχεδιασμός σε Συστήματα Βασισμένα σε FPGA	14
1.4.1 Σκοπός και Τεχνικές.....	14
1.4.2 Ιεραρχικός Σχεδιασμός.....	16
1.4.3 Σχεδιαστικά Επίπεδα Αφαίρεσης.....	19
1.4.4 Μεθοδολογίες.....	22
1.5 Σύνοψη	24
1.6 Προβλήματα	24

Κεφάλαιο 2. Τεχνολογία VLSI	27
--	-----------

2.1 Εισαγωγή	27
2.2 Διαδικασίες Κατασκευής	28
2.3 Χαρακτηριστικά των τρανζίστορ	33
2.4 CMOS Λογικές Πύλες	42
2.4.1 Στατικές Συμπληρωματικές Πύλες.....	42
2.4.2 Καθυστέρηση Πύλης.....	47

2.4.3 Κατανάλωση Ισχύος	57
2.4.4 Οδήγηση μεγάλων φορτίων	60
2.4.5 Πύλες χαμηλής κατανάλωσης.....	61
2.4.6 Διακοπτική λογική	67
2.5 Καλώδια	73
2.5.1 Στρατηγικές καλωδίων	73
2.5.2 Παρασιτικά στοιχεία καλωδίων	74
2.5.3 Μοντέλα Καλωδίων	80
2.5.4 Καθυστέρηση μέσω μιας RC Γραμμής Μεταφοράς	81
2.5.5 Εισαγωγή Απομονωτών (Buffers) στην RC Γραμμή Μεταφοράς	84
2.5.6 Παρεμβολές (Crosstalks) Μεταξύ RC Καλωδίων.....	86
2.6 Καταχωρητές και Μνήμες RAM.....	89
2.6.1 Καταχωρητές.....	89
2.6.2 Μνήμες Τυχαίας Προσπέλασης	91
2.7 Συσκευασία και Είσοδοι/Εξοδοι.....	103
2.7.1 Συσκευασία	103
2.7.2 Pads	108
2.8 Σύνοψη	110
2.9 Προβλήματα	110
Κεφάλαιο 3. FPGA Fabrics	115
3.1 Εισαγωγή	115
3.2 Αρχιτεκτονικές FPGA	115
3.3 SRAM-βασισμένα FPGAs	120
3.3.1 Σύνοψη.....	120
3.3.2 Λογικά Στοιχεία	121
3.3.3 Δίκτυα Διασύνδεσης	127
3.3.4 Διαμόρφωση (Configuration).....	133
3.4 Μόνιμα προγραμματισμένα FPGAs.....	137

3.4.1 Αντιασφάλειες – Antifuses.....	137
3.4.2 Flash Διαμόρφωση	138
3.4.3 Λογικά Μπλοκ	138
3.4.4 Δίκτυα Διασύνδεσης	144
3.4.5 Προγραμματισμός.....	145
3.5 I/O Ολοκληρωμένου	147
3.6 Σχεδιασμός Κυκλώματος δομών FPGA	151
3.6.1 Λογικά Στοιχεία	151
3.6.2 Διασύνδεση	160
3.7 Αρχιτεκτονική Δομών FPGA	165
3.7.1 Παράμετροι Λογικών Στοιχείων	167
3.7.2 Αρχιτεκτονική Διασύνδεσης	170
3.7.3 Pinout	172
3.8 Περίληψη	173
3.9 Προβλήματα.....	173
Κεφάλαιο 4. Συνδυαστική Λογική.....	177
4.1 Εισαγωγή	177
4.2 Η Διαδικασία Λογικής Σχεδίασης	178
4.3 Γλώσσες περιγραφής Υλικού	208
4.3.1 Μοντελοποίηση με HDLs	208
4.3.2 Verilog.....	215
4.3.3 VHDL.....	219
4.4 Συνδυαστική καθυστέρηση Δικτύου.....	225
4.4.1 Προδιαγραφές καθυστερήσεων.....	226
4.4.2 Καθυστέρηση Πυλών και Καλωδίων.....	228
4.4.3 Fanout.....	229
4.4.4 Καθυστέρηση μονοπατιού	231
4.4.5 Καθυστέρηση και Φυσικός Σχεδιασμός.....	235

4.5	Ισχύς & Βελτιστοποίηση Ενέργειας.....	241
4.5.1.	Ανάλυση Δυσλειτουργιών και Βελτιστοποίηση	241
4.6	Αριθμητική Λογική.....	242
4.6.1.	Αριθμητικές Αναπαραστάσεις	243
4.6.2	Συνδυαστικοί Ολισθητές.....	244
4.6.3.	Αθροιστές.....	245
4.6.4.	ALUs	258
4.6.5.	Πολλαπλασιαστές.....	260
4.7	Υλοποίηση λογικής για FPGAs	271
4.7.1	Μετάφραση κατευθυνόμενη από το Συντακτικό	271
4.7.2	Υλοποίηση Λογικής με Μακροεντολές	273
4.7.3	Σύνθεση Λογικής	274
4.7.4	Τεχνολογικά-Ανεξάρτητη Βελτιστοποίηση Λογικής	276
4.7.5	Τεχνολογικά Εξαρτημένες Βελτιστοποιήσεις Λογικής	284
4.7.6	Σύνθεση Λογικής για FPGAs	285
4.8	Φυσικός Σχεδιασμός για FPGAs	286
4.8.1	Χωροθέτηση.....	288
4.8.2	Δρομολόγηση.....	295
4.9	Επανεξέταση της διαδικασίας λογικής σχεδίασης	298
4.10	Σύνοψη	323
4.11	Προβλήματα.....	323
Κεφάλαιο 5. Ακολουθιακές Μηχανές		327
5.1	Εισαγωγή	327
5.2	Διαδικασία Σχεδίασης Ακολουθιακών Μηχανών	328
5.3	Στυλ Ακολουθιακής Σχεδίασης.....	330
5.3.1	Μοντέλα Μετάβασης Καταστάσεων και Επιπέδου – Καταχωρητή ..	331
5.3.2	Θεωρία Μηχανών Πεπερασμένης-Κατάστασης	337
5.3.3	Εκχώρηση Κατάστασης	342

5.3.4 Στυλ Μοντελοποίησης της Verilog.....	348
5.4 Κανόνες για Χρονισμό (Rules for Clocking).....	358
5.4.1 Flip-Flop και Μανδαλωτές.....	358
5.4.2 Αρχές χρονισμού	361
5.5 Ανάλυση Επιδόσεων	369
5.5.1 Απόδοση Συστημάτων βασισμένων σε Flip-Flop.....	370
5.5.2 Απόδοση Συστημάτων βασισμένων σε Μανδαλωτές	374
5.5.3 Παραποίηση ρολογιού (Clock Skew).....	377
5.5.4 Επαναπροσδιορισμός του χρονισμού (Retiming)	388
5.6 Βελτιστοποίηση Ισχύος.....	388
5.7 Σύνοψη	389
5.8 Προβλήματα	390
Κεφάλαιο 6. Αρχιτεκτονική.....	393
6.1 Εισαγωγή	393
6.2 Σχεδιασμός Συνδυαστικής Λογικής	393
6.2.1 Αρχιτεκτονική Ελεγκτή Διαδρομής Δεδομένων	394
6.2.2 Χρονοδρομολόγηση και κατανομή	395
6.2.3 Κατανάλωση	425
6.2.4 Διοχέτευση	428
6.3 Μεθοδολογίες σχεδιασμού.....	440
6.3.1 Διαδικασίες σχεδιασμού.....	440
6.3.2 Προδιαγραφές σχεδιασμού.....	443
6.3.3 Επαλήθευση του σχεδίου	447
6.4 Παράδειγμα σχεδιασμού	449
6.4.1 Επεξεργαστής ψηφιακού σήματος	449
6.5 Σύνοψη	458
6.6 Προβλήματα	459

Κεφάλαιο 7. Συστήματα Πολύ Μεγάλης Κλίμακας.....	463
7.1 Εισαγωγή	463
7.2 Διάυλοι	463
7.2.1 Πρωτόκολλα και Προδιαγραφές	464
7.2.2 Λογικός Σχεδιασμός Διαύλων	469
7.2.3 Μικροεπεξεργαστές και Συστήματα Διαύλων	477
7.3 Συσκευές FPGAs	483
7.3.1 Αρχιτεκτονικές Συσκευών FPGAs	484
7.3.2 Σειριακή I/O	492
7.3.3 Μνήμες	493
7.3.4 CPUs και Ενσωματωμένοι Πολλαπλασιαστές	494
7.4 Συστήματα Πολλαπλών FPGAs	501
7.4.1 Περιορισμοί Συστημάτων Πολλαπλών FPGAs	501
7.4.2 Διασύνδεση Πολλαπλών FPGAs	502
7.4.3 Μικροεπεξεργαστής και Διάυλοι Συστήματος	506
7.5 Αρχιτεκτονικές Novel	508
7.5.1 Πρωτόκολλα και	509
7.5.2 Λογική Σχεδίαση για τους Διαύλους	509
7.6 Σύνοψη	511
7.7 Προβλήματα	512
Αναφορές	513
Ευρετήριο	521